

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-289941
(P2002-289941A)

(43)公開日 平成14年10月4日(2002.10.4)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 43/08		H 0 1 L 43/08	Z 2 G 0 1 7
G 0 1 R 33/09		G 1 1 B 5/39	5 D 0 3 4
G 1 1 B 5/39		G 1 1 C 11/14	A 5 E 0 4 9
G 1 1 C 11/14		11/15	5 F 0 8 3
11/15		H 0 1 F 10/08	
審査請求 未請求 請求項の数14 O L (全 12 頁) 最終頁に続く			

(21)出願番号 特願2001-83877(P2001-83877)

(22)出願日 平成13年3月22日(2001.3.22)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 天野 実

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 岸 達也

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

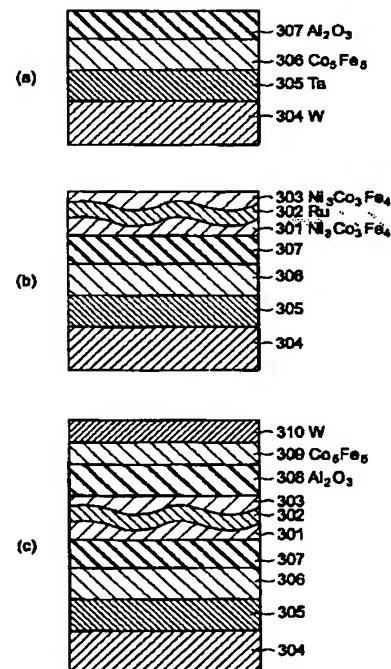
最終頁に続く

(54)【発明の名称】 磁気抵抗効果素子及び磁気記憶装置

(57)【要約】

【課題】微細なセルサイズにおいて小さなスイッチング磁場で動作し、ばらつきが小さく磁気抵抗変化率の低下が少ないトンネル接合型磁気素子を提供する。

【解決手段】本発明の磁気抵抗効果素子は、第1の磁性積層膜、第2の磁性積層膜、及び前記第1、第2の磁性積層膜に挟まれた非磁性層からなる磁気抵抗素子部を一重以上積層した磁気抵抗効果素子であって、記憶層をなす第1の磁性積層膜は、他の非磁性層を挟んで上下両面に強磁性層が積層された3層の磁性積層膜からなり、磁化の方向を固定し基準層をなす第2の磁性積層膜は、強磁性層、又は強磁性層と反強磁性層とを積層した磁性積層膜からなり、非磁性層に接する磁性層は強磁性材料を構成元素として含み、第1の磁性積層膜をなす強磁性層は、厚さの不均一な連続膜、島状成長領域を有する膜、又は微粒子から構成されることを特徴とする。



1

【特許請求の範囲】

【請求項1】 第1の磁性層と、

前記第1の磁性層に積層された第1の非磁性層と、
前記第1の非磁性層を介して前記第1の磁性層と積層され、かつ前記第1の磁性層と磁気結合した第2の磁性層と、

前記第2の磁性層が前記非磁性層と接する面と反対側の面において前記第2の磁性層と積層された第2の非磁性層と、

前記第2の非磁性層を介して前記第2の磁性層と積層形成された第3の磁性層とを備え、

前記第1または第2の磁性層は厚さの不均一な連続膜、島状領域、もしくは複数の微粒子を備えることを特徴とする磁気抵抗効果素子。

【請求項2】 前記厚さの不均一な連続膜の最も薄い個所の膜厚は1ナノメートル以下であり、最も厚い個所の膜厚は前記最も薄い個所の膜厚より20%以上厚いことを特徴とする請求項1記載の磁気抵抗効果素子。

【請求項3】 前記島状領域、もしくは微粒子の平均厚さは0.3ナノメートル以上3ナノメートル以下であることを特徴とする請求項1記載の磁気抵抗効果素子。

【請求項4】 前記第1または第2の磁性層は、超常磁性を示すことを特徴とする請求項1乃至3のいずれか1項に記載の磁気抵抗効果素子。

【請求項5】 前記第1及び第2の磁性層と前記第1の非磁性層が示す飽和磁化に対する残留磁化の割合が、前記第1または第2の磁性層が示す飽和磁化に対する残留磁化の割合よりも大きいことを特徴とする請求項1乃至請求項4のいずれか1項に記載の磁気抵抗効果素子。

【請求項6】 第1の磁性層と、
前記第1の磁性層上に形成された非磁性層と、
非磁性層を介して、前記第1の磁性層と積層され、厚さの不均一な連続膜を備える第2の磁性層とを備えることを特徴とする磁気抵抗効果素子。

【請求項7】 前記第2の非磁性層は、導電層であることを特徴とする請求項1乃至請求項6のいずれか1項に記載の磁気抵抗効果素子。

【請求項8】 前記第2の非磁性層は、誘電体であることを特徴とする請求項1乃至請求項7のいずれか1項に記載の磁気抵抗効果素子。

【請求項9】 前記第1及び第2の磁性層は、前記第1の非磁性層を介して強磁性結合、または反強磁性結合していることを特徴とする請求項1乃至請求項8のいずれか1項に記載の磁気抵抗効果素子。

【請求項10】 前記磁性層の材料は、コバルト、鉄、及びニッケルのいずれか1つを含む強磁性金属の合金、又は前記強磁性金属の化合物、又は前記強磁性金属と非金属との固溶体であることを特徴とする請求項1乃至請求項9のいずれか1項に記載の磁気抵抗効果素子。

【請求項11】 前記第1の非磁性層の材料は、Ru、

2

Ir、Cu、Au、Agのいずれか1つを含む金属、又はその合金であることを特徴とする請求項1乃至請求項10のいずれか1項に記載の磁気抵抗効果素子。

【請求項12】 第3の非磁性層を介して前記第3の磁性層と積層された第4の磁性層とを備えることを特徴とする請求項1乃至請求項11のいずれか1項に記載の磁気抵抗効果素子。

【請求項13】 前記第1及び第2の磁性層は、所定の外部磁場によって磁化の方向が変化する磁化自由層であって、前記第3の磁性層は前記外部磁場の下で外部磁場がゼロの状態では磁化方向を略保持する磁化固着層であることを特徴とする請求項1乃至請求項12のいずれか1項に記載の磁気抵抗効果素子。

【請求項14】 請求項1乃至請求項13のいずれか1項に記載の磁気抵抗効果素子を複数備えることを特徴とする磁気記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は強磁性体を用いた情報記録及びその再生技術に係り、特に磁気センサーや高密度磁気ディスク装置の再生用磁気ヘッド等に用いる磁気抵抗効果素子磁気素子、及びこれを用いた磁気記憶装置に関するものである。

【0002】

【従来の技術】従来の強磁性体薄膜を用いた磁気抵抗効果素子には、磁気ヘッドや磁気センサー等に用いられるものがある。近年、半導体基板上に磁気抵抗効果素子を形成した磁気ランダムアクセスメモリ（以下MRAM: Magnetic Random Access Memoryと呼ぶ）が提案され、高速動作、大容量、及び不揮発性を兼ね備える次世代の半導体記憶装置として注目されている。

【0003】ここで、磁気抵抗効果素子とは、強磁性体に磁場を印加すると強磁性体の磁化の方向に応じて電気抵抗が変化する現象であり、この磁化の方向を情報の書き込みに用い、対応する電気抵抗の大小を情報の読み出しに用いることにより記憶素子として動作させるものである。

【0004】近年、2層の強磁性層の間に1層の絶縁層を挿入したサンドイッチ構造の強磁性トンネル接合におけるトンネル磁気抵抗効果（以下、TMR効果: Tunneling Magneto-Resistance effectと呼ぶ）が注目されており、磁気抵抗の変化率（以下、MR比: Magneto-Resistance ratioと呼ぶ）として20%以上の値が得られるようになった(J. Appl. Phys. 79, p. 4724 (1996))。

【0005】これを始めとして、TMR効果を利用したトンネル接合型磁気素子（以下、TMR素子と呼ぶ）をMRAMに用いるための研究開発が進展し、例えば、最近の文献(Appl. Phys. Lett. 77, p. 283 (2000))では、室温におけるTMR効果のMR比は49.7%に達することが報告されている。

3

【0006】MRAMに用いるTMR素子では、2層の強磁性層のうち一方の磁化の方向が外部磁場の影響を受けて変化しないように固定して、これを基準層（又は磁化の固着層と呼ぶ）として用い、他方の磁化の方向が外部磁場の影響を受けて変化しやすくなるように構成して、これを記憶層として用いる。

【0007】これらの記憶層と基準層を、トンネルバリア層をなす絶縁層を介して平行に配置し、固定された基準層の磁化の方向に対して、記憶層の磁化の方向が外部磁場により平行又は反平行になるようにして、2進情報の“0”と“1”に対応付け、情報を記憶する。

【0008】記憶情報の書き込みは、TMR素子の近傍に設けた書き込み用配線に電流を流し、このとき発生する磁場で記憶層の磁化の方向を反転させることにより行う。また、記憶情報の読み出しは、磁化の反転に伴うTMR素子の抵抗変化を検出することにより行う。

【0009】従って、基準層には外部磁場による磁化反転が困難で、TMR素子のMR比を大きくすることができ材料や積層構造を有することが要求されるが、一方、記憶層には外部磁場による磁化反転が容易で、TMR素子のMR比を大きくすることができ材料や積層構造を有することが要求される。

【0010】基準層の磁化の方向を固定するためには、保磁力の大きな硬磁性材料を用いることが有効であるが、この他、強磁性層に接するように反強磁性層を設けて磁化の方向を固定するスピバルブ型構造を用いることにより、トンネル接合のMR比を大きくする強磁性層の材料特性を生かしながら、強磁性層の磁化の方向を固定する方法が広く用いられている。

【0011】一方、磁化の方向が変化し易いように構成された記憶層には、保磁力の小さい軟磁性材料を用いる方法や、薄層化して保磁力を小さくする方法が考えられてきた。

【0012】しかし、TMR素子をメモリセルとして、MRAMを高集積化するためには、TMR素子を縮小する必要がある。従って、TMR素子に含まれる強磁性層もまた小さくする必要がある。一般に、強磁性層の幅（強磁性層の面内において、磁化容易軸に垂直方向の長さ）が小さくなれば保磁力は増加する。

【0013】保磁力の大きさは、磁化を反転するために必要なスイッチング磁場の大きさの目安となるので、TMR素子の縮小はスイッチング磁場の増加を意味する。このため、情報を書き込む際、書き込み配線により大きな電流を流す必要を生じ、TMR素子をメモリセルとするMRAMの消費電力が増加する。従って、MRAM用のTMR素子において、記憶層とする強磁性層の保磁力の低減はMRAMの高集積化を進める上で重要な課題となっている。

【0014】高集積化MRAMのメモリセル（TMR素子）に記憶層として含まれる微小な強磁性層において、

4

保磁力が大きくなる主な理由は、（１）形状異方性が強くなること、（２）漏れ磁場により生じる反磁場が磁化の回転を妨げること、（３）エッジドメインの割合が増加すること、等が挙げられる。

【0015】ここでエッジドメインとは、例えば、短軸の幅が数ミクロンからサブミクロン程度になれば、反磁場の影響により、磁性体の中央部分とは異なる磁氣的構造が磁化領域（磁区）の端部に生じるのことをいう（例えば、J. Appl. Phys. 81, p. 5471 (1997) 参照）。

【0016】高集積化MRAMのメモリセルにおいて、記憶層をなす微小な強磁性層の端部に生じるエッジドメインの大きさは、セルサイズとほぼ同等になるため、セルサイズの縮小と共に、エッジドメインの占める面積の割合が大きくなる。このため、磁化反転に伴う磁氣的構造（磁区構造）のパターン変化に大きな影響を及ぼし、磁化反転過程が複雑化する。このため、保磁力が増加し、スイッチング磁場が増大する。

【0017】上記、保磁力増加の課題を解決するため、一般に、強磁性層の厚さを薄くする方法が用いられる。この方法は、形状異方性エネルギーを低下させることが目的であり、強磁性体として機能する限界まで薄くして、保磁力の増加を抑制することができる。

【0018】この他、2層の強磁性層の間に非磁性層を介在させた多層膜を記憶層として用い、これらの強磁性層を互いに反強磁性的結合させるものが提案されている（特願平9-25162、特願平11-263741、米国特許第5,953,248参照）。

【0019】この場合、2層の強磁性層は、磁気モーメント又は厚さが互いに異なり、また、反強磁性的結合により磁化が逆方向を向いている。このため、磁化が互いに相殺し、記憶層全体としては実効的に磁化容易軸方向に小さな磁化を持つ強磁性体として動作するようになり、強磁性層の厚さを薄くしたのと等価にすることができる。

【0020】記憶層における磁化容易軸方向の小さな磁化に対して、逆方向に磁場を印加すれば、各強磁性層の磁化は反強磁性的結合を保ったまま反転する。このとき、磁力線が閉じているため反磁場の影響が小さくなり、また、記憶層のスイッチング磁場は各強磁性層の保磁力により定まるので、小さなスイッチング磁場で磁化を反転することが可能になる。

【0021】一方、エッジドメインを固定し、複雑な磁区構造の変化を防ぐ方法が考えられている（米国特許5,748,524、特開2000-100153）。エッジドメインを固定すれば磁化反転における複雑な磁区構造の変化を制御することは可能であるが、この方法では、スイッチング磁場の値を実質的に低減することはできない。また、エッジドメインを固定するために他の構造を付加する必要がある、高密度化には適しない。

【0022】

5

【発明が解決しようとする課題】上記したように、従来のTMR素子は、メモリセルを構成する微細な記憶層のスイッチング磁場を低減するため、記憶層の厚さを薄くする方法や、反強磁性的結合を用いて実効的に厚さを薄くする方法や、磁区構造を制御する方法等が検討されてきた。しかし、(1)単に記憶層の厚さを薄くすれば、材料や成膜条件により記憶層が微粒子状又は島状になり、強磁性体として機能しなくなるため、薄くするには限界があること、(2)磁区構造を制御する方法を用いれば、セルの形状やセルサイズ、セルのアスペクト比により磁区構造が変化するため、保磁力の大きさが変化すること、例えば、メモリセルの加工の際、端部の凹凸等の影響で保磁力が変化すれば、セルごとのスイッチング磁場の大きさがばらつくこと、(3)反強磁性結合を用いて等価的に厚さの下限を下げれば、エッジドメインの影響により保磁力が増加すること、(4)幅0.1 μ m以下のセルサイズを想定すれば、さらにスイッチング磁場を低減する技術が必要になること、等の多くの問題が存在していた。

【0023】本発明は上記の問題点を解決すべくなされたもので、セルサイズを縮小しても小さなスイッチング磁場で動作し、ばらつきが小さく、かつMR比の低下が少ないTMR素子を提供することを目的とする。

【0024】

【課題を解決するための手段】本発明の磁気抵抗効果素子は、第1の磁性層と、第1の磁性層に積層された第1の非磁性層と、第1の非磁性層を介して第1の磁性層と積層され、かつ第1の磁性層と磁気結合した第2の磁性層と、第2の磁性層が非磁性層と接する面と反対側の面において第2の磁性層と積層された第2の非磁性層と、第2の非磁性層を介して第2の磁性層と積層形成された第3の磁性層とを備え、第1または第2の磁性層は厚さの不均一な連続膜、島状領域、もしくは複数の微粒子を備えることを特徴とする。

【0025】好ましくは、前記厚さの不均一な連続膜の最も薄い個所の膜厚は1ナノメートル以下であり、最も厚い個所の膜厚は前記最も薄い個所の膜厚より20%以上厚いことを特徴とする。また、島状領域、もしくは微粒子の平均厚さは0.3ナノメートル以上3ナノメートル以下であることを特徴とする。

【0026】好ましくは、第1または第2の磁性層は、超常磁性を示し、また第1及び第2の磁性層と前記第1の非磁性層が示す飽和磁化に対する残留磁化の割合が、第1または第2の磁性層が示す飽和磁化に対する残留磁化の割合よりも大きいことを特徴とする。

【0027】また、本発明の磁気抵抗効果素子は、第1の磁性層と、第1の磁性層上に形成された非磁性層と、非磁性層を介して第1の磁性層と積層され、厚さの不均一な連続膜を備える第2の磁性層とを備えることを特徴とする。

6

【0028】また、本発明の磁気抵抗効果素子において、第2の非磁性層は、導電層(GMR素子)または誘電体(TMR素子)であることを特徴とする。また第1及び第2の磁性層は、前記第1の非磁性層を介して強磁性結合、または反強磁性結合していることを特徴とする。

【0029】好ましくは磁性層の材料は、コバルト、鉄、及びニッケルのいずれか1つを含む強磁性金属の合金、又は前記強磁性金属の化合物、又は前記強磁性金属と非金属との固溶体であり、第1の非磁性層の材料は、Ru、Ir、Cu、Au、Agのいずれか1つを含む金属、又はその合金であることを特徴とする。

【0030】また本発明の磁気抵抗効果素子は、第3の非磁性層を介して前記第3の磁性層と積層された第4の磁性層とを備えることを特徴とする。また、第1及び第2の磁性層は、所定の外部磁場によって磁化の方向が変化する磁化自由層であって、前記第3の磁性層は前記外部磁場の下で外部磁場がゼロの状態では磁化方向を略保持する磁化固着層であることを特徴とする。

【0031】また、本発明の磁気抵抗効果素子は、磁気記憶装置の構成要素として好適に使用することができる。

【0032】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。はじめに、図1を用いて本発明の第1の実施の形態に係るTMR素子に含まれる磁性積層膜の磁気特性と、そのシミュレーション結果について説明する。

【0033】図1に示すTMR素子の磁性積層膜は、非磁性層102を介して微粒子状の(島状成長を含む)磁性層101及び103が形成されている。非磁性層102の上下両面に積層された微粒子等からなる磁性層102、103は互いに強磁性結合している。このような磁性積層膜は、全体として強磁性を示す。

【0034】この磁性積層膜に反対方向の磁場を印加し、磁化を反転させる際の磁気特性の変化について説明する。一般に、強磁性材料からなる微粒子の磁化は反転し易い特徴がある。しかし、微粒子の集合体は熱ゆらぎ等の影響により、弱磁場中で磁化の方向がばらつくため、残留磁化がほぼゼロとなって、大きな磁場を与えなければ磁化が飽和しない超常磁性的な磁気特性を示す。

【0035】しかし、これらの微粒子の間に弱い強磁性結合を加えれば、各微粒子は磁化反転し易い特徴を持ったまま互いに同じ磁化の方向を向こうとする強磁性結合を感じながら磁化反転するため、全体として小さな反転磁場で磁化反転するようになる。

【0036】このとき、微粒子の大きさが小さいほど、また微粒子間の結合力が弱いほど、反転磁場の値は小さくなる。また、磁気的な結合が強磁性的であるばかりでなく、一部又は全部が反強磁性的であっても、磁化がほ

7

ば同一方向を向くような力が全体として作用していれば、同様な反転磁場の低減効果を生じる。

【0037】図1に示す微粒子状の強磁性層を含む磁性積層膜において、反転磁場が低減する理由は以上の通りである。このような磁性積層膜では、各磁性微粒子がそれぞれ分離しているため、セルの形状や大きさの影響を受け難く、スイッチング磁場のばらつきが小さいメモリセルを得ることができる。

【0038】非磁性層を介して強磁性的に結合された、強磁性層からなる3層の磁性積層膜を備えたメモリセル 10 において、上下両面の強磁性層が連続膜である場合、一方の強磁性層が微粒子状である場合、及び両面の強磁性層が微粒子状である場合について、それぞれシミュレーションにより保磁力を求めた結果を図2に示す。

【0039】ここで、シミュレーションのモデルとして、メモリセルの幅100nm、メモリセルの長さ400nm、磁性層の膜厚1nmであると仮定した。また、シミュレーションの便宜上、微粒子の底面は1辺の長さが40nmの正方形で、その高さは1nmの直方体とし、微粒子の間隔は20nmと仮定した。

【0040】図2に示すシミュレーションの結果から、上下両面の磁性層が微粒子状である場合には、上下の磁性層が連続膜である場合に比べて、保磁力Hcの値が1/4に低減することが明らかになった。

【0041】以上、非磁性層の上下両面に孤立した微粒子が配置される場合について説明したが、微粒子同士が一部接しているもの、又は連続膜であっても厚さが不均一で薄い部分の磁気結合が弱いものでも、ほぼ同様な効果が得られることが実験との対比から明らかになった。

【0042】具体的には、磁性層が厚さの不均一な連続 30 膜からなる場合、最も薄い部分の膜厚が1nm以下であって、最も厚い部分の膜厚が最も薄い部分の膜厚より20%以上大きければほぼ同様な効果が得られるが、薄い部分の厚さが1nmより厚ければ、磁性層が厚さの均一な連続膜である場合に比べて、保磁力の値にほとんど差がなくなることが明らかになった。

【0043】また、磁性層が微粒子状又は島状成長である場合、この微粒子や島の高さの平均値が0.3nm以上3nm以下となるように形成されれば、シミュレーションとほぼ同様な保磁力の低減効果が得られることが明 40 らかになった。

【0044】これらの磁性層は、単層で評価した磁化ヒステリシス曲線では、残留磁化がゼロに近く、大きな磁場を与えなければ磁化が飽和しない超常磁性的な成分が含まれている。また、飽和磁化Msに対する残留磁化Mrの割合Mr/Msは、0より大ではあるが1より小さく、ヒステリシス曲線の角型性が悪く、スイッチング磁場が大きいという欠点がある。

【0045】しかし、単層においては超常磁性的な特性を示す強磁性層でも、この磁性層を非磁性層の上下両面 50

8

に形成し、非磁性層を介してこれらの磁性層を強磁性結合させた3層の磁性積層膜にすれば、Mr/Msは1に近づき、スイッチング磁場の値を小さくすることができる。

【0046】なお、本発明の磁性層として使用可能な磁性材料は、Co、Fe、Niのいずれか1つを含む合金、化合物、又はこれらの金属と非金属との固溶体であり、また、2層の磁性層の中間に介在させる非磁性層として使用可能な材料は、Ru、Ir、Cu、Au、Ag等の金属である。

【0047】次に、図3を用いて第2の実施の形態に係る二重接合型TMR素子について説明する。図3は、二重接合型TMR素子の製造過程を示す模式的な工程断面図である。

【0048】図3(a)に示すように、半導体基板上に(図示せず)高真空スパッタリング法を用いて、下部配線電極W 304と、バッファ層Ta 305と、下側の基準層Co₅Fe₅ 306と、下側のトンネルバリア層として絶縁層Al₂O₃ 307を順次堆積する。

【0049】図3(a)に示す多層膜は、最下層のW 304から最上層のAl₂O₃ 307に至るまで、全て金属層上に逐次堆積されるので、平坦性に優れた多層膜として形成することができる。

【0050】次に、図3(b)に示すように、絶縁層Al₂O₃ 307の上に記憶層として3層の磁性積層膜を積層する。まず、成膜速度から換算して厚さ1.2nmとなるようにNi₃Co₃Fe₄ 301を堆積し、次に、成膜速度から換算して厚さ1.4nmとなるように非磁性層Ru 302を堆積し、さらに、成膜速度から換算して厚さ1.2nmとなるようにNi₃Co₃Fe₄ 303を堆積する。

【0051】このとき、トンネルバリア層をなす絶縁層Al₂O₃ 307の上にNi₃Co₃Fe₄ 301を堆積することになるが、このように絶縁層上に金属層を堆積する場合には、絶縁層に対する金属原子の結合力が弱い ため、金属層は当初島状に成長し、堆積が進むと共に島同士が互いに融合するようにして膜厚が増大する。

【0052】このため、図3(b)に示すように、絶縁層Al₂O₃ 307の上に堆積したNi₃Co₃Fe₄ 301の膜厚は不均一となる。このとき、スパッタ装置の基板温度やガス圧の制御により、Ni₃Co₃Fe₄ 301の最も薄い部分の膜厚が1nm以下であり、最も厚い部分の膜厚が最も薄い部分の膜厚より20%以上大きくなるように、Ni₃Co₃Fe₄ 301の不均一性を制御することができる。

【0053】次に、Ni₃Co₃Fe₄ 301の上に堆積する非磁性層Ru 302及びNi₃Co₃Fe₄ 303は、順次金属層の上に堆積されるので平坦性が回復する。なお、Ni₃Co₃Fe₄ 303の表面が次の工程に必要な平坦性を示さない場合には通常の平坦化工程を導

入すればよい。

【0054】次に、図3(c)に示すように、上側のトンネルバリア層となる絶縁層 Al_2O_3 307と、上側基準層 Co_5Fe_5 309と、上部保護層W 310を堆積し、図4(d)に示すように、W 304を下部配線電極として加工するため、フォトリソットによるマスクパターン形成(図示せず)と、これをマスクとするイオンミリングを行った後、さらにTMR素子部の形状を規定するためのパターン形成(図示せず)とイオンミリングを行い、TMR素子部を形成する。

【0055】次に、図4(e)に示すように、反応性スパッタリング法を用いて層間絶縁膜 SiO_2 311を堆積した後、上部保護層W 310との接続孔、及びこれと接続する上部配線電極312をパターン形成し、TMR素子を完成する。

【0056】このように製造されたTMR素子は、 $200\text{ nm} \times 600\text{ nm}$ の長方形で、バイアス電圧0.1VにおけるMR比40パーセント、スイッチング磁場2.4 kA/mの特性を示し、図5(a)に示すように、磁化ヒステリシス特性の角型比は極めて良好であった。

【0057】一方、図3、図4に示すTMR素子の製造工程において、記憶層となる3層の磁性積層膜を、厚さ1.2 nmの単層の $\text{Ni}_3\text{Co}_3\text{Fe}_4$ に置き換える他は、ほぼ同様な工程で作製されたTMR素子では、図5(b)に示すように、磁化ヒステリシス特性の角型比が悪化し、残留磁化はゼロに近く、大きな磁場を印加しなければ磁化が飽和しない超常磁性的な磁気特性を示すことが明らかになった。

【0058】また、記憶層をなす3層の磁性積層膜に含まれる $\text{Ni}_3\text{Co}_3\text{Fe}_4$ が、均一な厚さとなるように、特に、スパッタ装置の基板温度とガス圧を制御して堆積した試料では、 $200\text{ nm} \times 600\text{ nm}$ のメモリセルで、バイアス電圧0.1VにおけるMR比が40%となるが、一方、スイッチング磁場は9.6 kA/mという大きな値になり、良好なTMR素子は得られなかった。

【0059】以上の結果から、本発明のように厚さの不均一な $\text{Ni}_3\text{Co}_3\text{Fe}_4$ を非磁性層を介して磁気的に結合させた積層構造を記憶層に用いたTMR素子では、磁化ヒステリシス特性の角型比が極めて良好であると同時に、スイッチング磁場の大幅な低減が実現されることが明らかになった。なお、第2の実施の形態に係るTMR素子は、構造上、例えば磁気センサとして好適に使用されるので、必ずしも半導体基板上に形成する必要はなく、例えば、ガラス基板上に形成することも可能である。

【0060】次に、図6を用いて、第3の実施の形態に係るMRAM用のデュアルスピバルブ型TMR素子について説明する。図6は、本発明のデュアルスピバルブ型TMR素子の製造過程を示す模式的な工程断面図である。ここで、デュアルスピバルブ型TMR素子と

は、反強磁性層に接して基準層となる強磁性層を積層することにより、基準層の磁化を強固に固定するスピバルブ構造を、上下2箇所具備した二重接合型TMR素子のことである。

【0061】このように、反強磁性層に接して基準層となる強磁性層を積層すれば、基準層における強磁性層の磁化の方向の固定が極めて強固になり、高集積化したMRAM用のTMR素子として、漏れ磁場による誤動作の確率をゼロにすることが可能になる。

【0062】本発明のデュアルスピバルブ型TMR素子は、半導体集積回路の一部に形成されるので、半導体基板表面を覆う絶縁膜上の下部配線電極の上に形成される。なお、この下部配線電極は、絶縁膜を貫通するプラグを介して半導体基板の主面に形成された選択トランジスタに接続される。

【0063】はじめに、図6(a)に示すように、高真空スパッタリング法を用いて層間絶縁膜及びプラグの形成を完了した半導体基板上に(図示せず)、下部配線電極兼バッファ層Ta 604と、下側の反強磁性層PtMn 605と、下側基準層 Co_7Fe_3 606を順次堆積する。

【0064】次に、下側トンネルバリア層を形成するため、Alを厚さ0.8 nm堆積した後、このAlをオゾン雰囲気中で酸化することにより、トンネルバリア層として絶縁層 AlO_x 607 ($1 \leq x \leq 1.5$)を形成する。

【0065】次に、図6(b)に示すように、 AlO_x 607の上に記憶層として実質的に3層の磁性積層膜を以下のように形成する。はじめに、成膜速度から換算して厚さ0.5 nmとなるように微粒子層(又は島状成長層、以下同じ) Co_9Fe_6 601aを堆積し、次に、成膜速度から換算して厚さ1.0 nmとなるように、 Ni_4Fe_6 601bを堆積する。次に、成膜速度から換算して厚さ1.5 nmとなるように非磁性層Cu 602を堆積した後、さらに、成膜速度から換算して厚さ1.2 nmとなるように $\text{Ni}_3\text{Co}_3\text{Fe}_4$ 603を堆積する。

【0066】ここで、 Co_9Fe_6 601aは、微粒子層(又は島状成長層)として堆積し、 Ni_4Fe_6 601bは、この微粒子層の間隙を埋めるように、厚さが不均一な連続膜として堆積する。 Co_9Fe_6 601a及び Ni_4Fe_6 601bは、組み合わせられて厚さが不均一な強磁性層となり、非磁性層Cu 602を介して形成される $\text{Ni}_3\text{Co}_3\text{Fe}_4$ 603と共に実質的に3層の磁性積層膜を形成する。

【0067】次に、図6(c)に示すように、 $\text{Ni}_3\text{Co}_3\text{Fe}_4$ 603の表面上側のトンネルバリア層を形成するため、Alを厚さ0.8 nm堆積した後、このAlをオゾン雰囲気中で酸化することによりトンネルバリア層となる AlO_x 608 ($1 \leq x \leq 1.5$)を形成す

る。さらに、上側基準層として Co_7Fe_3 609と、上側反強磁性層 PtMn 610と上部保護層 W 611を堆積する。

【0068】次に、図7(d)に示すように、下部配線電極部の材料となる Ta 604を下部配線電極として加工するため、フォトリソストによるマスクパターン形成(図示せず)及びこれをマスクとするイオンミリングにより下部配線電極部を形成した後、さらにTMR素子部の形状を規定するためのパターンニングとイオンミリングを行い、図7(d)に示すデュアルスピンバルブ型TMR素子部を形成する。

【0069】次に、図7(e)に示すように、反応性スパッタリング法を用いて SiO_2 層間絶縁膜808を堆積した後、真空中で500kA/mの磁場を印加した状態で300℃、2時間のアニールを行う。この工程により基準層の磁化が固定しデュアルスピンバルブ型TMR素子として機能するようになる。最後に上部保護層 W 611との接続孔、及びこれと接続する上部配線電極(MRAMのビット線)806を設けて素子を完成する。なお、 Ta 604はMRAMの下部配線電極805として用いられる。

【0070】このように完成されたMRAMにおいて、メモリ部のデュアルスピンバルブ型TMR素子は100nm×300nmの長方形で、バイアス電圧0.5VにおけるMR比25パーセント、スイッチング磁場3.2kA/m⁻¹の特性を示し、磁化反転のために従来必要であった配線の電流値10mAを1mAに低減することが可能になった。なお、第3の実施の形態において、反強磁性材料としては PtMn のほか、 PhMn 、 IrMn 、 PrPhMn 、 PtCrMn を用いることができる。

【0071】次に、図8を用いて本発明の第4の実施の形態について説明する。第4の実施の形態では、デュアルスピンバルブ型TMR素子をメモリセルとするMRAMの構造について具体的に説明する。

【0072】図8に示すMRAMは、P型シリコン基板801の主面に形成されたMOSトランジスタのN⁺ソース/ドレイン領域802と、ゲート絶縁膜を介してN⁺ソース・ドレイン領域間のN型チャンネル上に形成されたMOSトランジスタのゲート電極803と、ソース/ドレイン領域802のいずれか一方に接続された導電性プラグ804を備えている。

【0073】破線の囲みで示す図7(e)のデュアルスピンバルブ型TMR素子は、導電性プラグ804を介してソース/ドレイン領域802の一方に接続された下部配線電極805と、上部配線電極をなす紙面に沿って形成されたビット線806との間に接続される。MRAMのワード線807は、ゲート電極803と下部配線電極805との間に紙面と垂直方向に形成される。なお、これらの構成部の間は層間絶縁膜808により埋められ

る。

【0074】MRAMの動作は次の通りである。メモリセルの主要部をなすTMR素子への記憶データの書き込みは、互いに直交するビット線806とワード線807に1mA程度の電流を流すことにより行われる。

【0075】すなわち、アドレスデコーダで選択されたビット線806とワード線807に電流を流せば、その電流により発生した外部磁場が共にその交点上の選択TMR素子に加わり、TMR素子のスイッチング磁場の大きさを越えるようになるが、その他の非選択のワード線と選択されたビット線との交点上のTMR素子に対しては、選択されたビット線806の電流による磁場のみが加わるので、TMR素子の磁化の反転は生じない。

【0076】また、記憶データの読み出しは、P型シリコン基板801に形成されたMOSトランジスタを用いて記憶データの書き込まれたTMR素子を選択し、TMR素子の磁化の向きに対応する抵抗値を読み出すことにより行うことができる。デュアルスピンバルブ型TMR素子をメモリセルとするMRAMは、高密度化が可能であり、また、TMR素子の基準層の磁化の固定が反強磁性層を用いて強固になされているため誤動作の恐れがなく、不揮発性でかつ書き換え回数の制約がない記憶装置を提供することができる。

【0077】次に図9を用いて、本発明の第5の実施の形態について説明する。第5の実施の形態では、TMR素子の記憶層及び基準層(磁化の固着層)として用いる磁性積層膜の構成について総括的に説明し、特にMRAMのメモリセルに適した磁化の固着層について詳細に説明する。

【0078】先に述べたように、本発明のTMR素子においては、トンネルバリア層をなす絶縁層を介して記憶層をなす磁性積層膜と、磁化の固着層をなす磁性積層膜が形成される。図9は、本発明の記憶層と磁化の固着層の特徴に着目して、これらの磁性積層膜の構成を示す模式図である。

【0079】記憶層をなす磁性積層膜は、図9(a)に示すように、非磁性層2を介して強磁性層1、3を積層することにより形成される。この他、磁化の方向が回転し易い軟磁性材料1層のみを用いて記憶層を形成する場合もある。このとき、磁化の方向は、磁性積層膜の面内に沿う方向であり、各層の厚さや材料を最適化することでスイッチング磁場の小さい記憶層が実現される。

【0080】しかし、記憶層をなす磁性積層膜を平坦な積層膜(又は1層のみの平坦な膜)として形成すれば、図9(b)の平面図に示すように、正常な磁区(ドメイン)4に対して終端部にエッジドメイン5が発生する。

【0081】通常記憶層の平面形状は、反磁場の影響を小さくするために幅に対して磁化容易軸方向を長くするが、このようにすればエッジドメイン5が発生し易くなり、磁化の回転が妨げられる。

13

【0082】このため、本発明の記憶層では、特に図9(c)に示すように、非磁性層2aを介して強磁性層1a、3aを積層する際、強磁性層1a、3a、又はそのいずれか一方の膜厚を不均一化することで、図9(d)に示すように面内に単一ドメイン6のみが存在するようにし、エッジドメインの発生を回避する。

【0083】このように、厚さの不均一な連続膜を備える磁性層は、所定の外部磁場により磁化の方向が変化する磁化自由層として用いられるが、層の形成条件により所定の外部磁場によってもゼロ磁場における磁化の方向を保持する磁化固着層に用いることもできる。

【0084】強磁性層の不均一化の効果は、必ずしも膜厚のみで達成されるものではなく、例えば強磁性層の組成を不均一化することでも、エッジドメインの発生を回避することができる。また、先に述べたように、強磁性層1a、3a、又はそのいずれか一方を微粒子状又は島状成長とすることで、エッジドメインの発生を回避することができる。このとき、面内のドメインは、各微粒子又は各島における単一ドメインが面内全体で単一ドメインをなすように協力的に動作する。

【0085】このとき、微粒子状の磁性膜は、例えば非磁性体からなるマトリックス中に強磁性体の微粒子を分散させたものでも良いし、島状成長部を他の磁性層で覆うようにしても良い。

【0086】次に、磁化の固着層をなす磁性積層膜は、図1(e)に示すように、トンネルバリア層をなす絶縁層11の一方に隣接して硬磁性材料からなる強磁性層12を形成することで固着層としての役割を果たすことができる。しかし、この構成では、磁化の固定の程度は必ずしも十分ではないため、TMR素子の誤動作につながる。

【0087】また、図1(e)の破線で矢示するように、強磁性層12からの漏れ磁場が絶縁層11の他方に隣接する記憶層10のスイッチング磁場の中心値をシフトさせるので、同様にTMR素子の誤動作につながる。

【0088】特にMRAM用のTMR素子は高度に集積化されるため、誤動作の確率はゼロにする必要がある。このため、第3、第4の実施の形態で説明したMRAM用のTMR素子では、図9(f)に示すように、強磁性層12と反強磁性層13を積層して、スピンバルブ型の磁化の固着層とし、磁化の固定を強化している。

【0089】しかし、図9(f)に示すスピンバルブ型の磁化の固着層では、強磁性層12の漏れ磁場の影響を除去することができない、そこで、第5の実施の形態に係るMRAMでは、図9(g)に示すように、トンネルバリア層をなす絶縁層11の一方に隣接して、非磁性層13を介して磁化の方向が逆向きになるように、互いに反強磁性的に結合した強磁性層12、14からなる磁性積層膜を形成し、これをMRAM用TMR素子の磁化の固着層として用いる。

14

【0090】図9(g)に示す磁化の固着層は、非磁性層13の厚さtを選択することで極めて強い反強磁性的結合が得られるので、磁化の固定を強化することができる。また、互いに反強磁性的に結合した強磁性層12、14の間で閉じた磁気回路を構成するので、トンネルバリア層をなす絶縁層11の他方に隣接して形成される記憶層10に対する漏れ磁場の影響を除去することができる。従って、誤動作の確率ゼロが求められるMRAM用TMR素子の磁化の固着層として、図9(f)と図9(g)を合わせた磁性積層膜は最も好適なものとなる。

【0091】なお、図9(g)の磁性積層膜において、非磁性層の厚さtと、強磁性層12、14の材料と厚さとを選択すれば、図9(a)に示す記憶層として図9(b)に示すエッジドメイン5の発生を抑制し、スイッチング磁場の値を引き下げること可能である。

【0092】以上、トンネルバリア層をなす絶縁層を介して、その両側に記憶層となる第1の磁性積層膜と、磁化の固着層となる第2の磁性積層膜とが形成された積層構造部を備えるTMR素子について説明した。第1の磁性積層膜における磁化の方向を回転しやすくするために、第1の磁性積層膜を非磁性層を介して第1、第2の強磁性層を積層した3層構造にし、第1、第2の強磁性層又はそのいずれか一方を不均一化することが極めて有効であった。

【0093】このように、記憶層として有用な3層構造の第1の磁性積層膜は、必ずしもTMR素子に限定して適用されるものではない。非磁性層を介して第1、第2の磁性積層膜を積層し、第1の磁性積層膜を記憶層、第2の磁性積層膜を磁化の固着層とする磁気素子であれば、同様に本発明の不均一磁性層を含む3層構造の第1の磁性積層膜を記憶層として用いることができる。

【0094】このような磁気素子として、例えばTMR素子におけるトンネルバリア層(絶縁層)を非磁性金属層(例えばCu)に置き換えた構造を有する巨大磁気抵抗効果素子(Giant Magneto-Resistive Effect; GMR素子)が知られている。GMR素子では、非磁性金属層と磁性積層膜との界面において、磁化(スピン)の方向に依存する電子散乱を生じる。

【0095】すなわち、磁化の方向が固着された第2の磁性積層膜に対して、第1の磁性積層膜の磁化の方向が回転することにより、非磁性金属層との界面における磁気抵抗が増加する。この磁気抵抗の増加は、磁性積層膜の面に沿う方向、及び面に垂直な方向に生じる。GMR素子に対して、以上の各実施の形態で説明した記憶層となる第1の磁性積層膜と、磁化の固着層となる第2の磁性積層膜とを好適に使用することができる。

【0096】なお本発明は上記の実施の形態に限定されることはない。例えば第1、第2の実施の形態において、二重接合型TMR素子を例として説明したが、本発明は必ずしも二重接合型TMR素子に限定されるもので

15

はない。一重接合型のTMR素子に対しても同様な効果があり、このときには、第1、第2の実施の形態における3層の磁性積層構造と配線用又は保護用金属層とが、隣接して積層されることになる。

【0097】また、第1、第2の実施の形態において、2層の強磁性層の間に非磁性層を介在させた3層の磁性積層構造を記憶層とすることについて説明したが、強磁性材料の微粒子を弱く強磁性的に結合させることが可能であれば、必ずしも非磁性層を用いる必要はなく、例えば、同一面内において強磁性材料の微粒子又は島状成長領域同士が接する構造、膜厚が極端に不均一な単層膜、あるいは微粒子状又は島状成長領域を有する強磁性層と非強磁性層との2層構造であっても良い。また、非磁性層を用いる場合でも、非磁性金属中に強磁性微粒子が固溶体として存在する状態も本発明に含まれる。その他本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0098】

【発明の効果】上述したように本発明のTMR素子によれば、微粒子状又は島状成長領域を有するか、又は厚さの不均一な2つの強磁性層が、非磁性層を介して互いに強磁性結合する積層構造を記憶層として用いることにより、MR比の低下を生じることなくスイッチング磁場の低減を図ることができる。

【0099】この記憶層を備えるTMR素子は、記憶素子として優れた性能を示すばかりでなく、ばらつきが小さく、かつ歩留まりよく安価に製造することができるので、生産性に優れている。また、この記憶層を備えるTMR素子の構造は、微細化に適しているので、これをメモリセルとして集積化したMRAMの集積度を大幅に向上させることが可能になる。

【図面の簡単な説明】

【図1】第1の実施の形態に係るTMR素子の記憶層の構成を模式的に示す断面図。

【図2】3種の磁性積層膜に対する保磁力のシミュレーション結果を示す図。

【図3】第2の実施の形態に係る二重トンネル接合型TMR素子の製造方法を示す工程断面図。

【図4】第2の実施の形態に係る二重トンネル接合型TMR素子の製造方法の続きを示す工程断面図。

【図5】第2の実施の形態に係る二重トンネル接合型TMR素子の磁化ヒステリシス曲線を従来のTMR素子と比較する図。

【図6】第3の実施の形態に係るデュアルスピンバルブ

16

構造の二重トンネル接合型TMR素子の製造方法を示す工程断面図。

【図7】第3の実施の形態に係るデュアルスピンバルブ構造の二重トンネル接合型TMR素子の製造方法の続きを示す工程断面図。

【図8】第4の実施の形態に係るTMR素子を用いたMRAMの構成を示す図。

【図9】第5の実施の形態に係る記憶層と磁化の固着層の構成に関する説明図。

【符号の説明】

1、3、1a、3a、12、14…強磁性層

2、2a、15…非磁性層

4、6…ドメイン

5…エッジドメイン

10…記憶層

11…トンネルバリア層

13…反強磁性層

101、103…強磁性層

102…非磁性層

301、303… $\text{Ni}_3\text{Co}_3\text{Fe}_4$

302…Ru

304、310…W

305…Ta

306、309… Co_5Fe_5

307、308… Al_2O_3

311…層間絶縁膜

312…上部配線電極

601a… Co_9Fe

601b… Ni_4Fe_6

602…Cu

603… $\text{Ni}_3\text{Co}_3\text{Fe}_4$

604…Ta

605、610…PtMn

606、609… Co_7Fe_3

607、608… AlO_x

611…W

801…シリコン基板

802… N^+ ソース／ドレイン領域

803…ゲート電極

804…プラグ

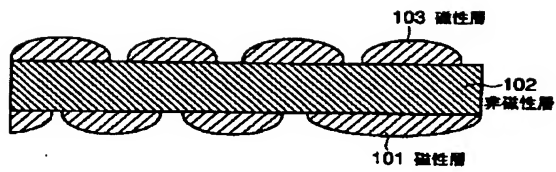
805…下部配線電極

806…ビット線

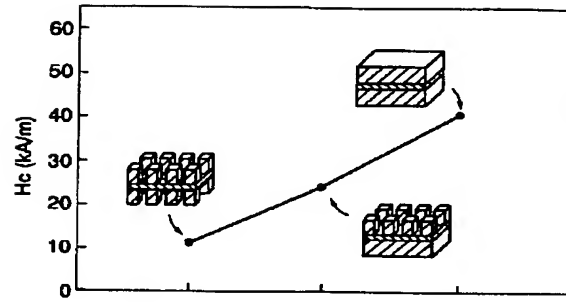
807…ワード線

808…層間絶縁膜

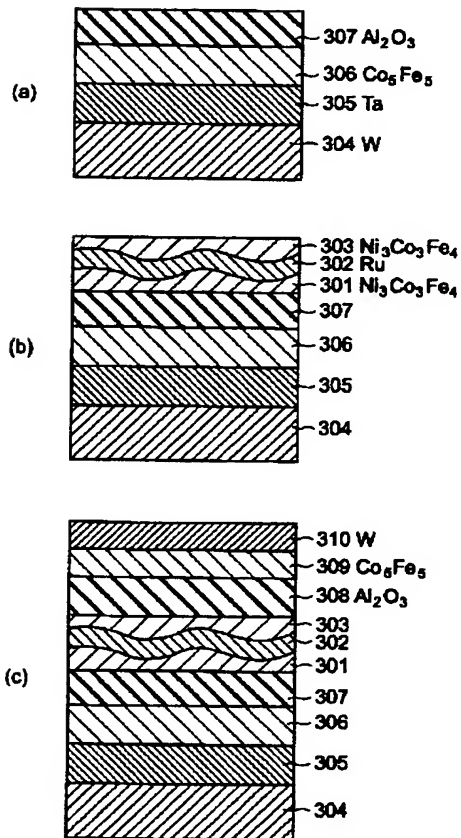
【図1】



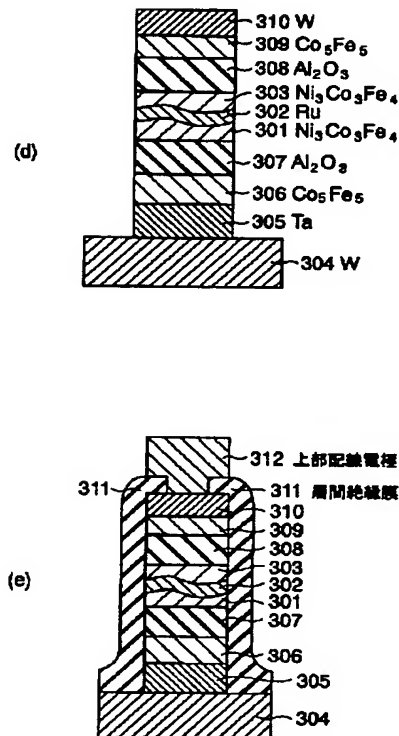
【図2】



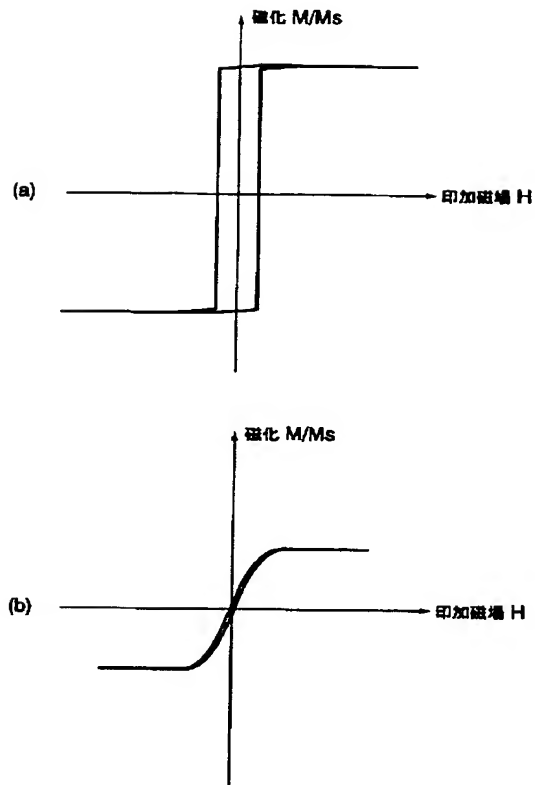
【図3】



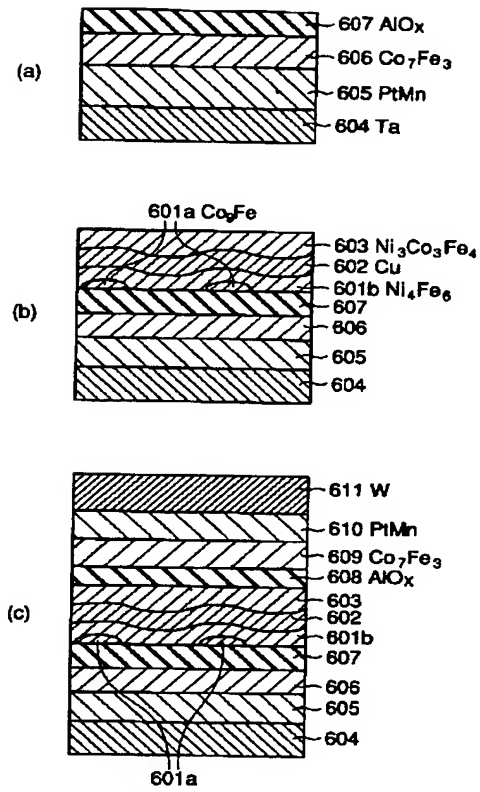
【図4】



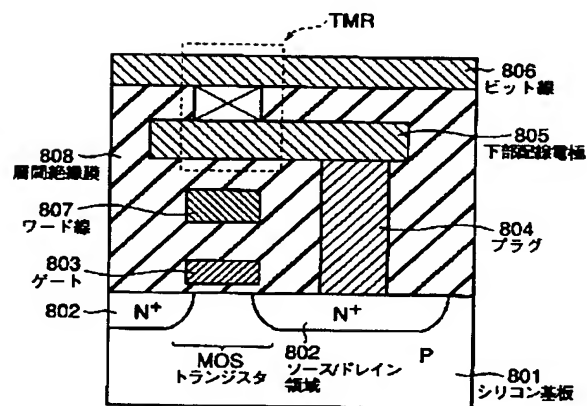
【図5】



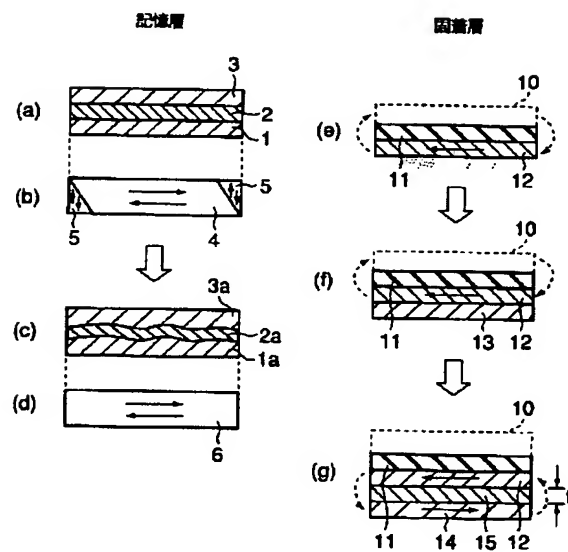
【図6】



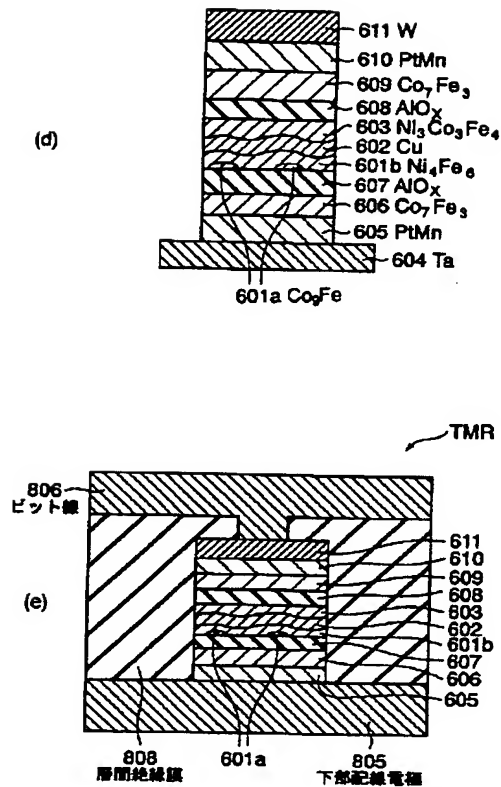
【図8】



【図9】



【図 7】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	テマコード (参考)
H 0 1 F 10/08		G 0 1 R 33/06	R
H 0 1 L 27/105		H 0 1 L 27/10	4 4 7
(72) 発明者 斉藤 好昭		(72) 発明者 中島 健太郎	
神奈川県川崎市幸区小向東芝町 1 番地 株		神奈川県川崎市幸区小向東芝町 1 番地 株	
式会社東芝研究開発センター内		式会社東芝研究開発センター内	
(72) 発明者 砂井 正之		F ターム (参考) 2G017 AA01 AB07 AD55 AD65	
神奈川県川崎市幸区小向東芝町 1 番地 株		5D034 BA03 BA05 BA15 CA08	
式会社東芝研究開発センター内		5E049 BA12 BA16	
(72) 発明者 高橋 茂樹		5F083 FZ10 GA05 GA09 GA11 GA27	
神奈川県川崎市幸区小向東芝町 1 番地 株		GA30 JA39 JA60 PR04 PR12	
式会社東芝研究開発センター内		PR22 PR38	